



AMD

ARCHITEKTÚRA PROCESOROV



Martin Hiner, 2. roč

Obsah

- História
- AMD64
- Procesorové architektúry
- EPYC

História

- **Advanced Micro Devices, Inc.**
 - Jerry Sanders
 - 1. Mája 1969
- **Am9300**
 - 1970
 - 4-bitový shift register
- **x86**
 - 1979
 - spolupráca s Intelom



AMD64

- x86-64
- **Opteron & Athlon 64**
- 64-bitové rozšírenie inštrukčnej sady x86
- Späťne kompatibilná s 16 a 32-bitovými aplikáciami
- IA-64 (Intel & Hewlett-Packard)

Procesorové architektúry

- K8 & K10 (2003-2014)
 - Opteron
 - Athlon
- Bulldozer (2011-2017)
- Zen (2017-súčasnosť)
 - Ryzen
 - EPYC

EPYC - *Turin*

ARCHITEKTÚRA PIATEJ GENERÁCIE
PROCESOROV

Identifikácia

EPYC™ 9555P CPU

PRODUCT FAMILY

PRODUCT SERIES

- 9005 = Socket SP5
- 8005 = Socket SP6

CORE COUNT

Indicates core count within the series

100s Digit	0	1	2	3	4	5	6	7	8	9
Cores	8	16	24	32-36	48	64-72	84-96	128	144-160	192

FEATURE MODIFIER

- P = 1P only
- F = High frequency

GENERATION

5 = 5th Gen 9005

PERFORMANCE

10s digit indicates performance within the series

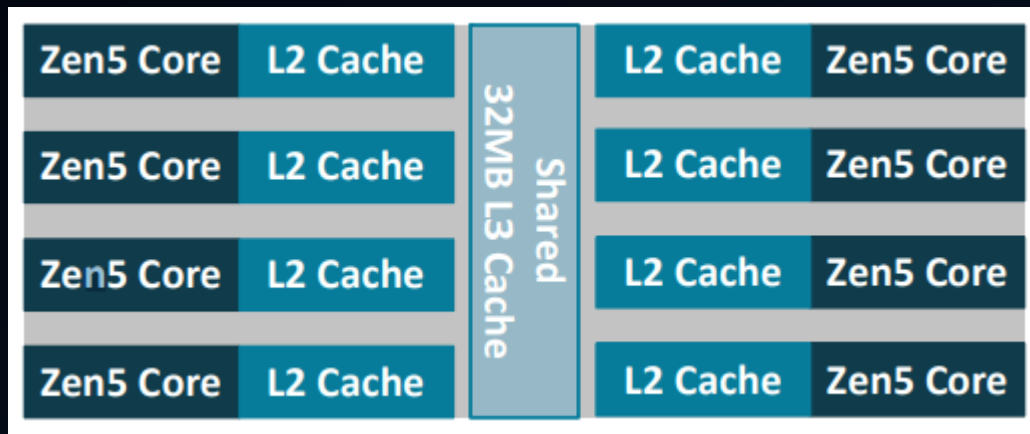
- 9 = Reserved
- 8 = Reserved
- 7 = For "F" perf part
- 6, 5, 4, 3, 2, 1 = relative performance

Komplex jadier

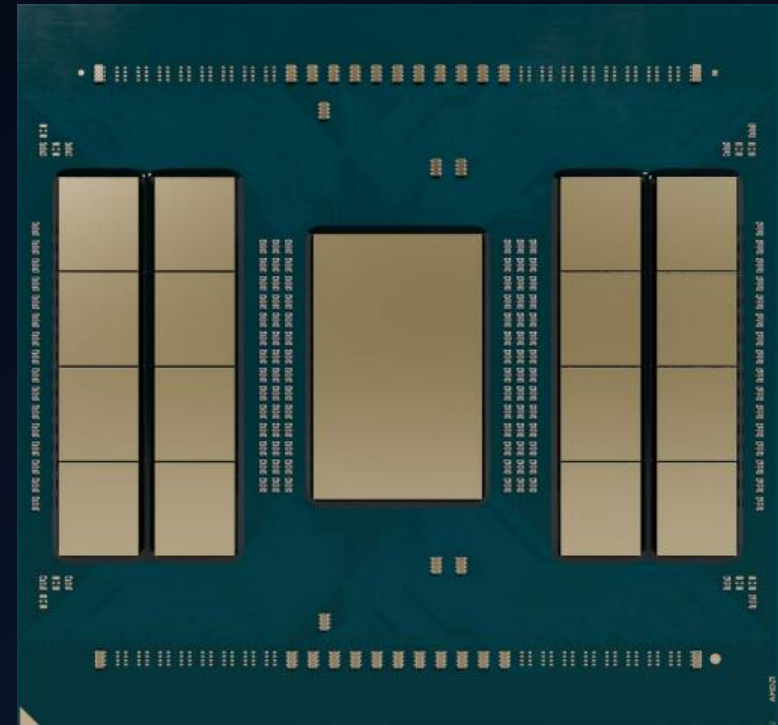
- **Core Complex (CCX)**
- Skupina jadier zdieľajúcich rovnakú cache poslednej úrovne (L3)
- Každý komplex je obsiahnutý v jednej čipovej dosťičke
 - **Core Complex Die (CCD)**

Komplex jadier

CORE COMPLEX (CCX)



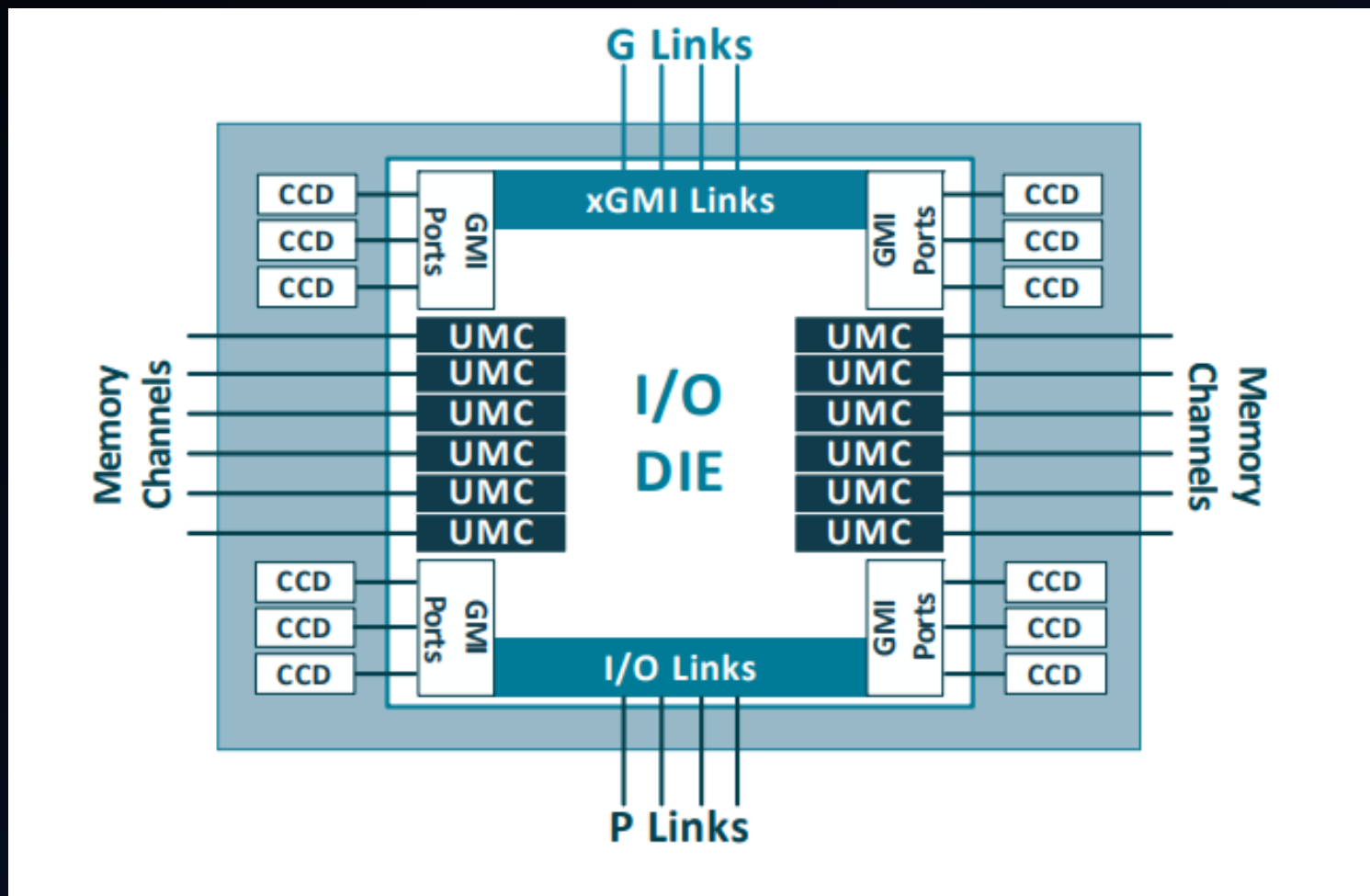
CORE COMPLEX DIE (CCD)



Vstupno-výstupná doštička

- I/O Die (IOD)
- Spája jednotlivé doštičky
- **Global Memory Interconnect link (GMI)**
 - Rýchlosť do 32Gb/s
- **Unified Memory Controller (UMC)**
 - Pamäťové kanály s podporou DDR5

Vstupno-výstupná doštička



Zdroje

- AMD, 2024, AMD EPYC™ 9005 Processor Architecture Overview. amd.com [online]. Dostupné na:
https://www.amd.com/content/dam/amd/en/documents/epyc-technical-docs/user-guides/58462_amd-epyc-9005-tg-architecture-overview.pdf



Ďakujem za pozornosť!