



Mikroarchitektúra procesorov Intel x86

Ing. Zuzana Butašová

2. ročník, Počítačové architektúry, Univerzita Svätého Cyrila a Metoda v Trnave, Apríl 2026

Mikroarchitektúra procesorov Intel®

Vývoj procesorov Intel®

- › Historické míľniky a technologické zmeny

Architektúra a mikroarchitektúra CPU

- › ISA, Pipeline, vykonávacie jednotky

Systémové zbernice a komunikácia CPU

- › Address, Data a Control Bus

BIOS a diagnostika CPU

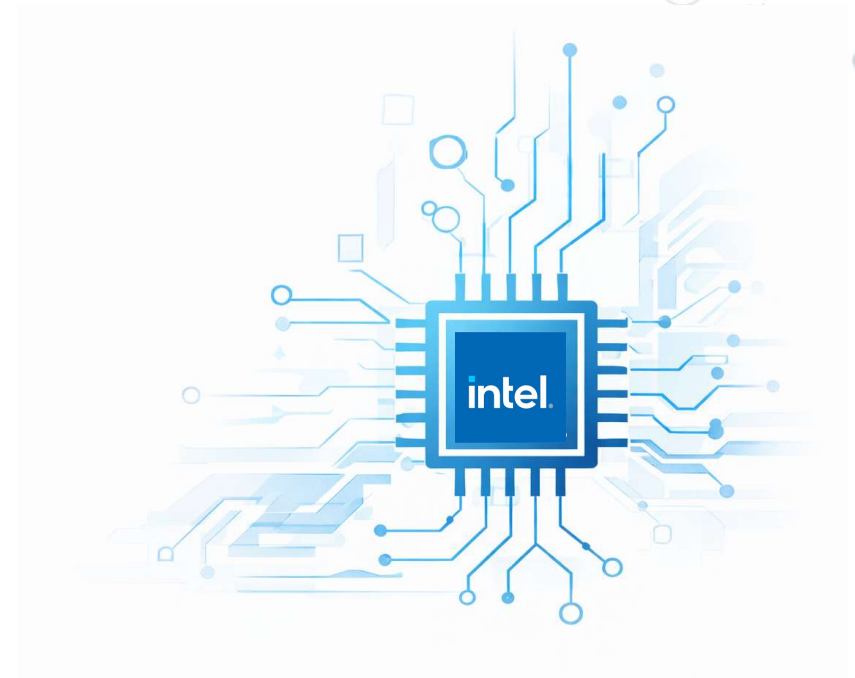
- › Nastavenia a testovanie CPU

Bezpečnosť moderných CPU

- › Spectre, Meltdown, mitigácie

Budúcnosť technológií Intel®

- › Hybridné jadrá, AI, Intel 18A

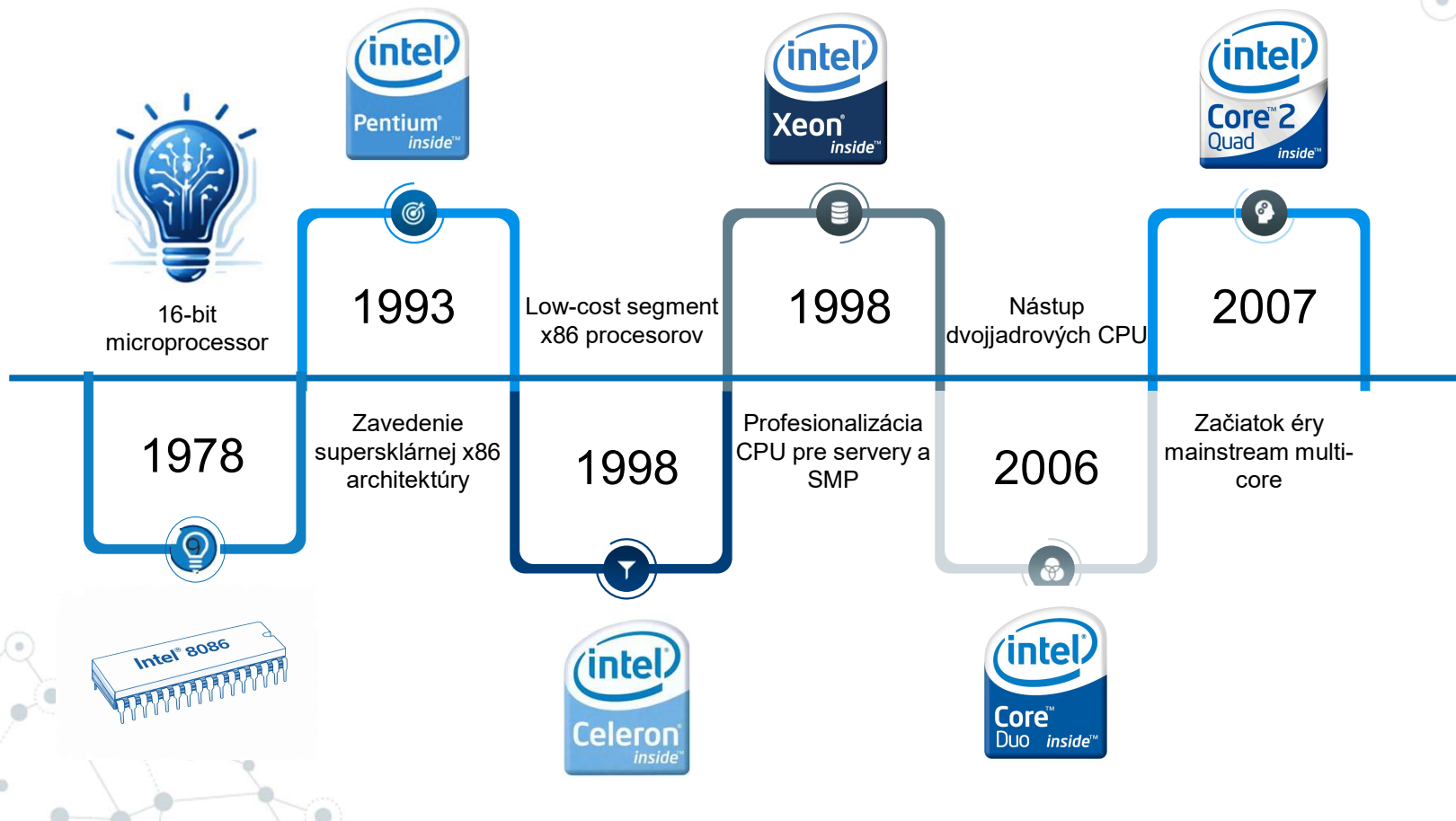


A decorative network diagram in the top-left corner, consisting of a complex web of interconnected nodes and lines, rendered in a light gray color.

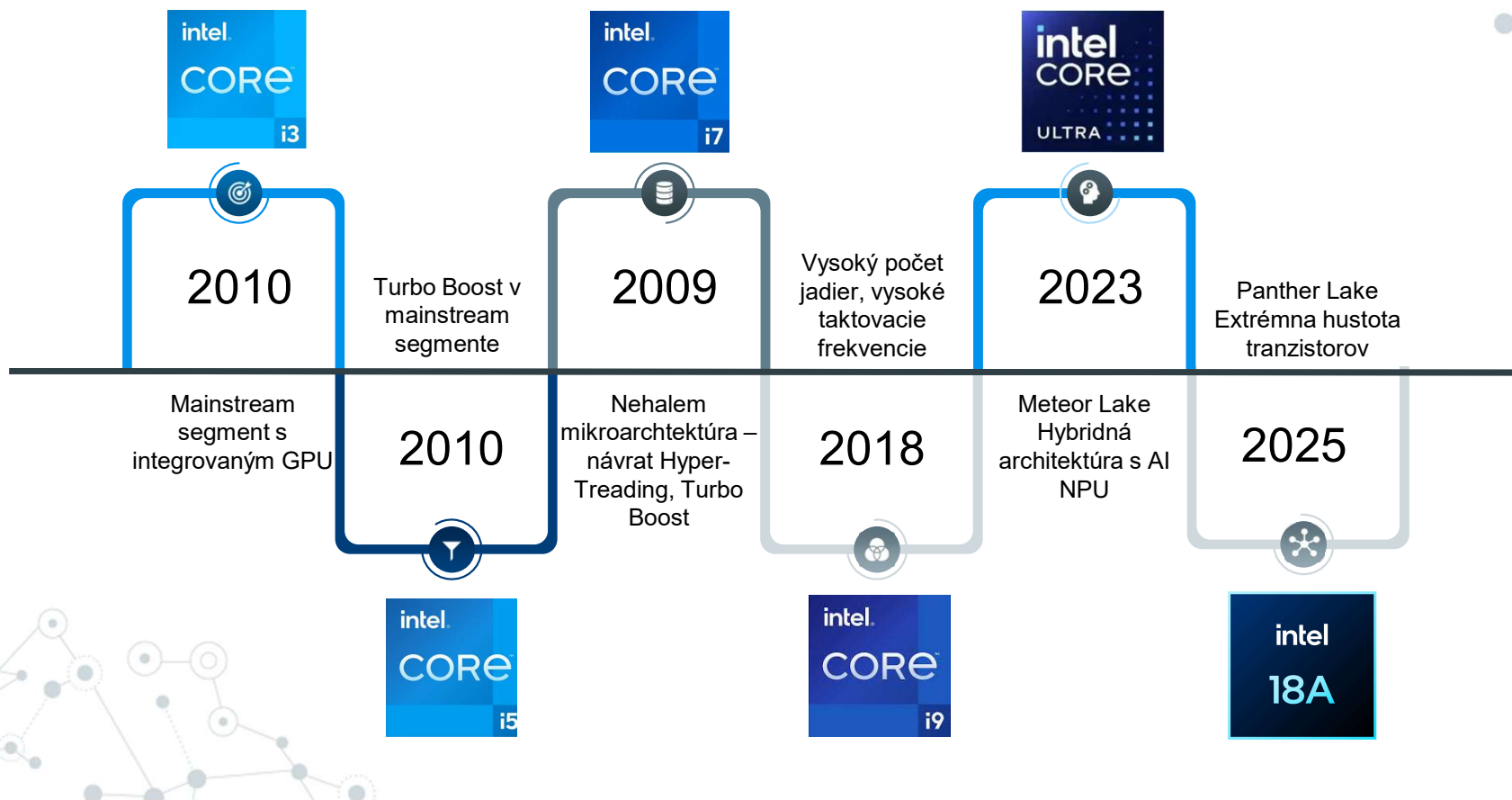
1.

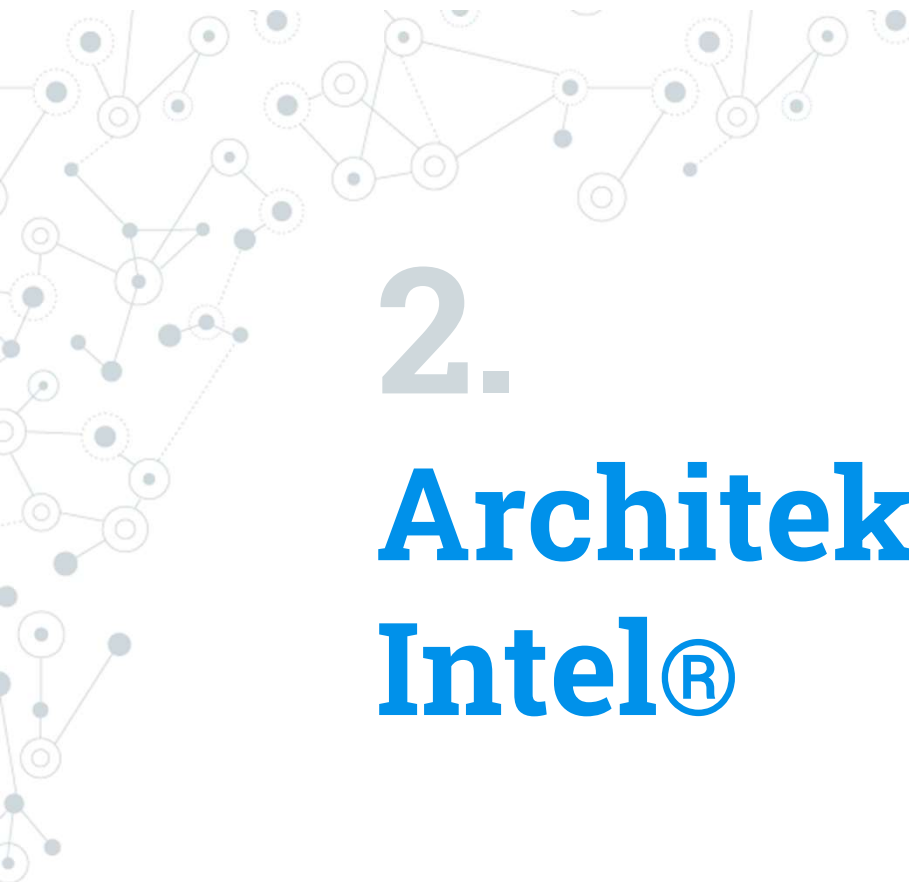
Vývoj procesorů Intel®

CPU Intel®: Od superskalárneho návrhu k viacjadrovým systémom



Intel® Core: Segmentácia výkonu a nástup hybridnej architektúry

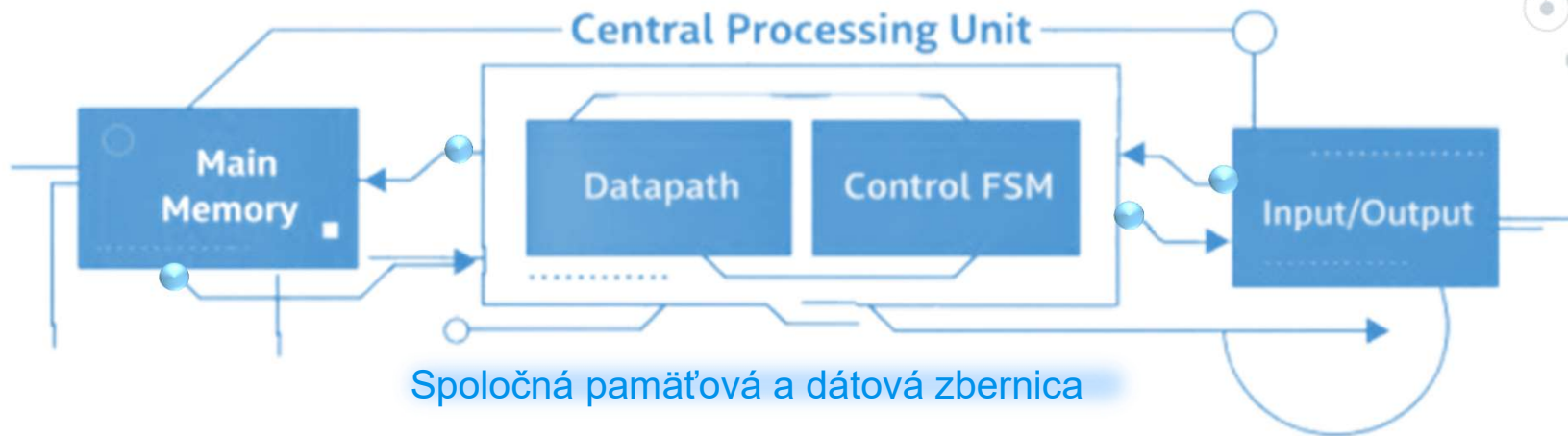


A decorative network diagram in the top-left corner, consisting of a cluster of interconnected nodes and lines, rendered in a light gray color.

2.

Architektúra procesorov Intel®

Von Neumann Architektúra



Obr.1 Schéma Von Neumannovej architektúry počítača

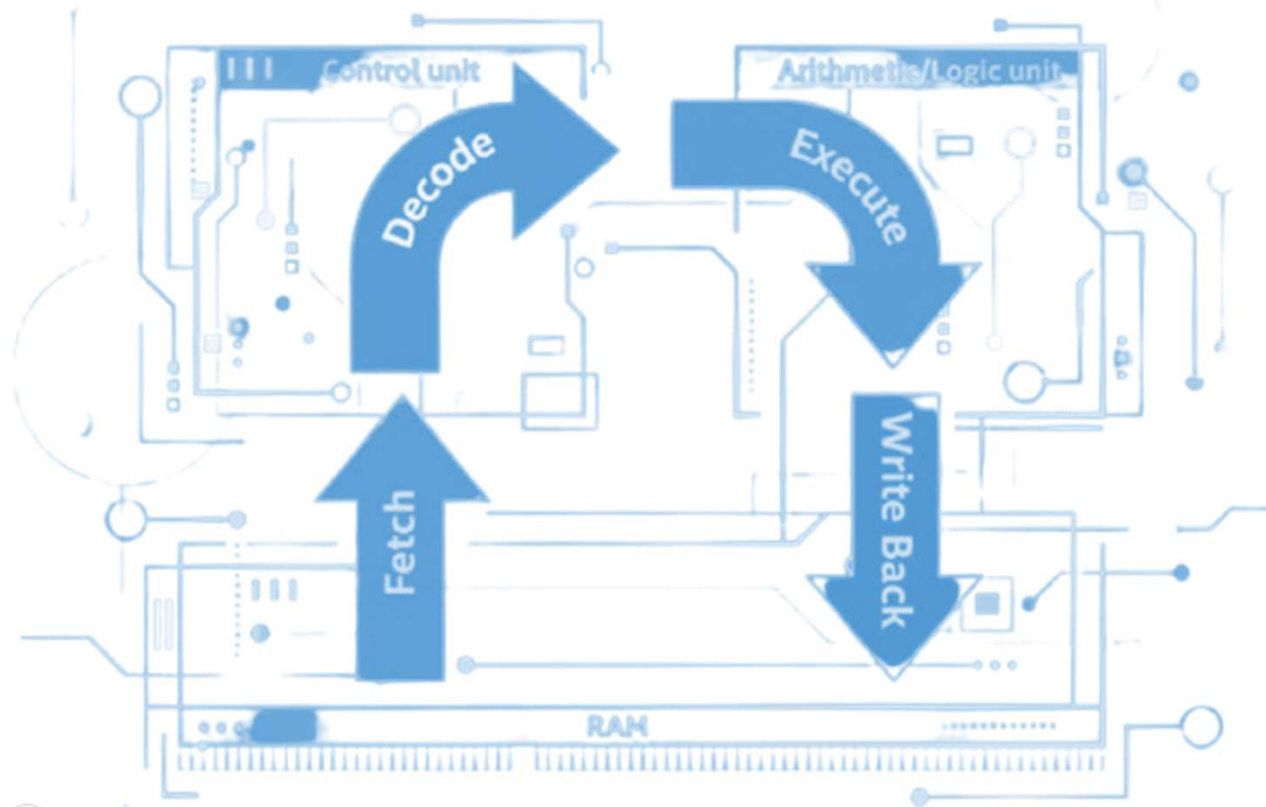
Moderné procesory Intel® (**architektúra x86**)

- vychádzajú z **Von Neumannovho modelu**
- interne využívajú **modifikovanú Harvard architektúru** (cache, výkon)



* Zdroj: Intel Corporation, upravené autorom

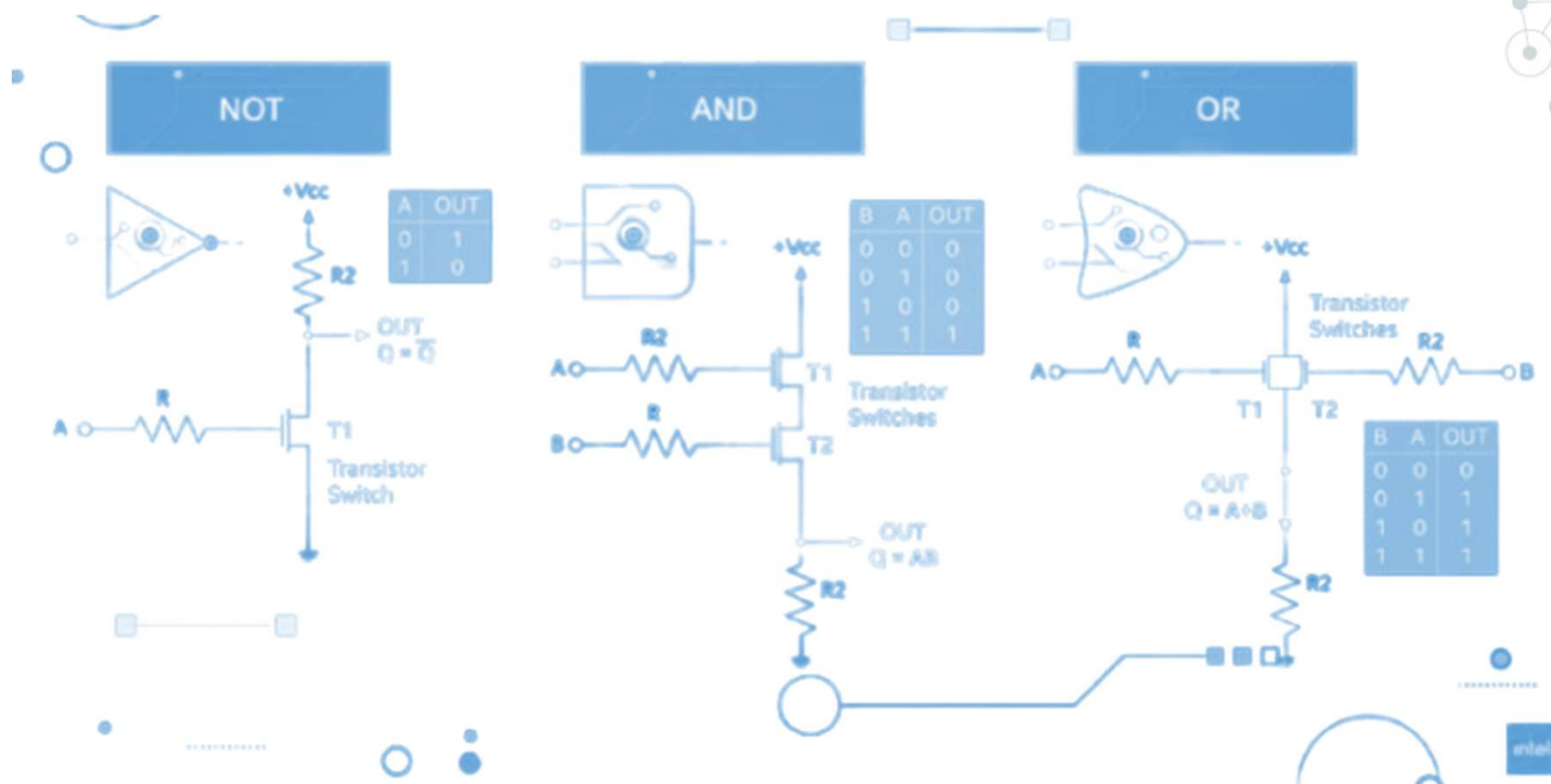
Inštrukčný cyklus



Obr.2 Inštrukčný cyklus procesora

* Zdroj: Intel Corporation, upravené autorom

Hardvérová implementácia logických operácií



Obr.3 Hardvérová implementácia logických operácií na úrovni obvodu

* Zdroj: Intel Corporation, upravené autorom

Mikroarchitektúra moderného procesora

1

Frontend

- Načítanie inštrukcií / Fetch
- Dekódovanie inštrukcií / Decode
- Inštrukčná pamäť / Instruction Cache
- Predikcia vetvenia / Branch Prediction

2

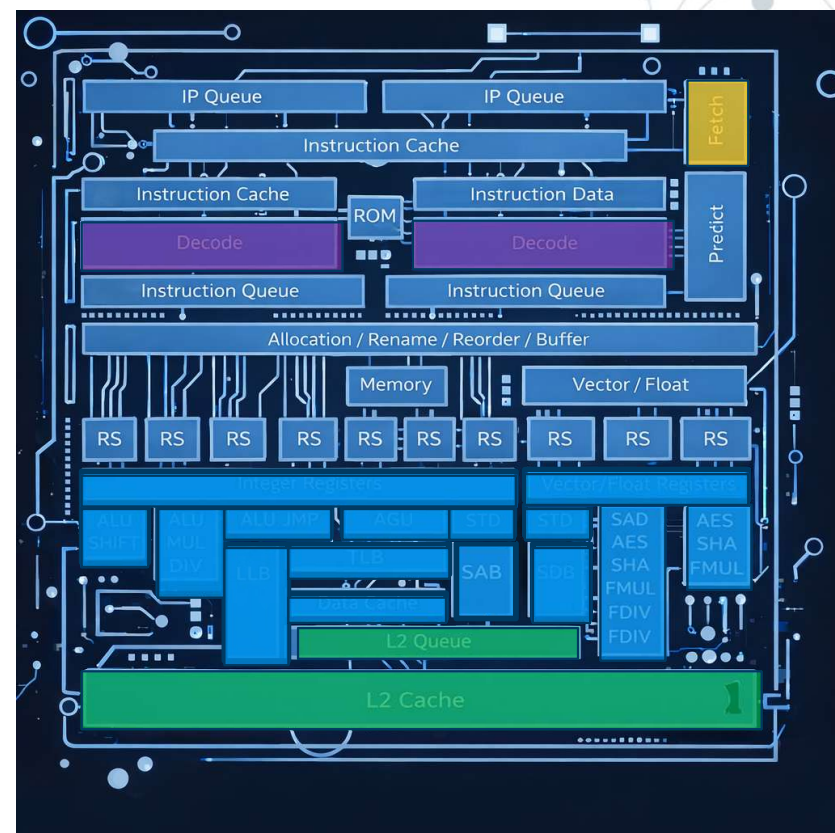
Execution Core

- Aritmeticko-logická jednotka / ALU
- FPU / Vector Units
- Načítanie, zápis do pamäte / Load / Store Units
- Register Rename

3

Memory Subsystem

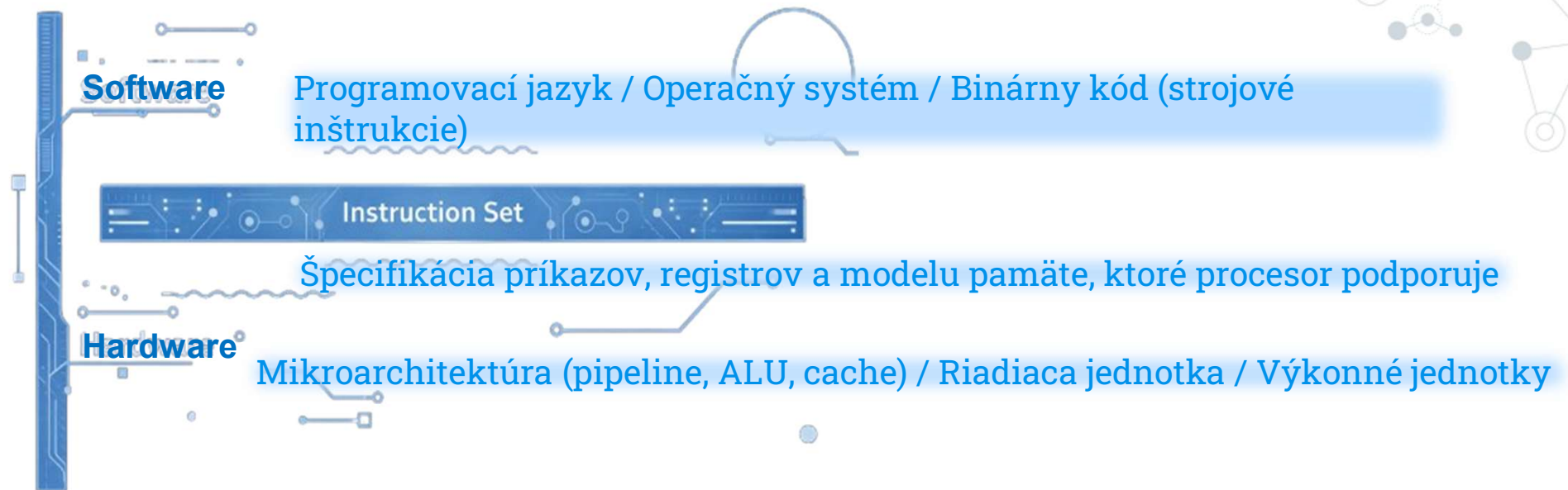
- Vyrovnávacia pamäť L1 / L2 Cache
- Prekladová vyrovnávacia pamäť / TLB
- Radič pamäte / Memory Controller



Načítanie Dekódovanie Vykonávanie Zápis výsledku

Obr.4 Bloková schéma mikroarchitektúry moderného procesora

Architektúra inštrukčnej sady (ISA)



Obr.5 Rozhranie ISA medzi softvérom a hardvérom

Nezávislé od konkrétnej mikroarchitektúry

* Zdroj: Intel Corporation, upravené autorom

Architektonická úroveň (ISA – x86)

ISA (Instruction Set Architecture) je špecifikácia rozhrania medzi softvérom a procesorom. Definuje, čo procesor **musí vedieť vykonať** – nie ako to implementuje.

ISA definuje:

1 Inštrukčnú množinu

- › aritmetické: ADD, SUB, MUL
- › logické: AND, OR, XOR
- › presun dát: MOV
- › riadenie toku: JMP, CALL, RET
- › operácie načítania a zápisu

2 Architektonické registre (x86-64)

- › General Purpose: RAX, RBX, RCX, RDX,...
- › Instruction Pointer: RIP
- › FLAGS register
- › SIMD registre: XMM / YMM

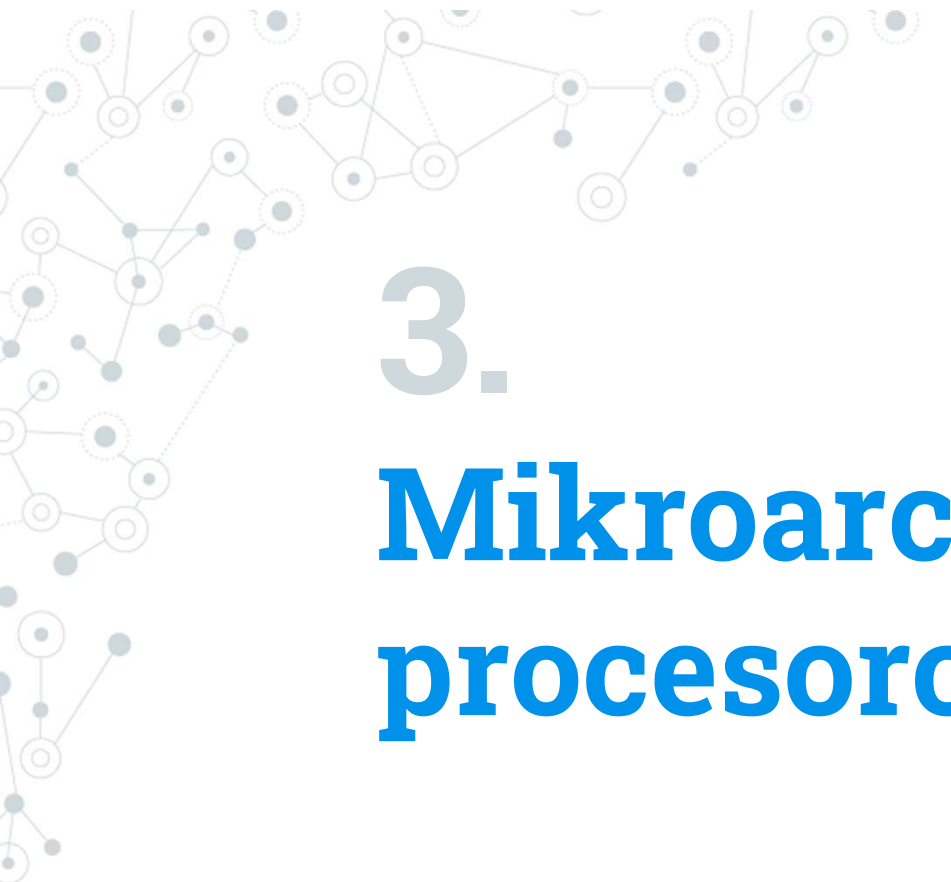
ISA nedefinuje:

- › pipeline
- › cache pamäte
- › branch prediction
- › out-of-order execution
- › počet jadier
- › frekvenciu CPU

Pamäťový model

- › adresovanie pamäte
- › formát inštrukcie
- › viditeľný stav procesora
- › memory consistency model

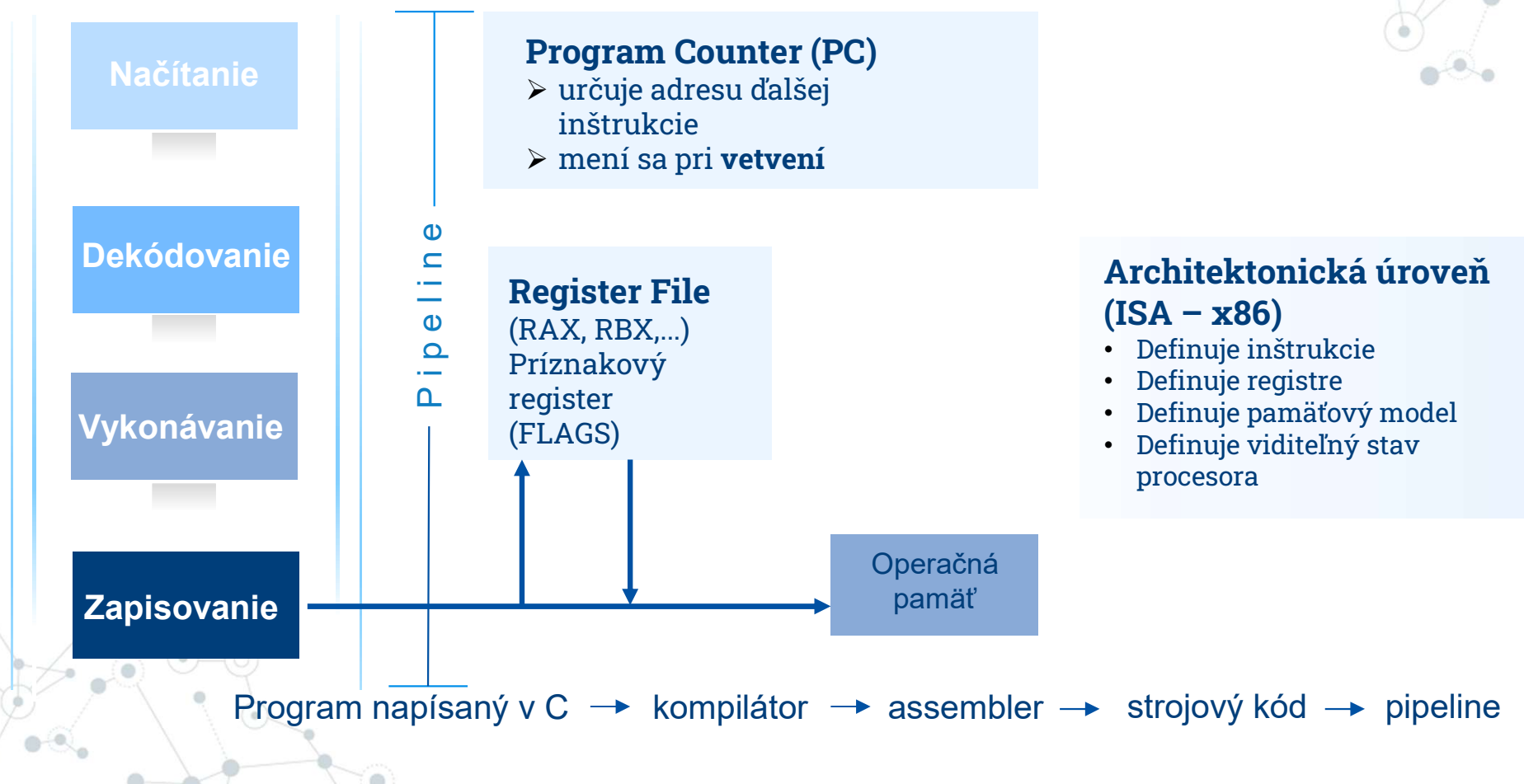
ISA je kontakt medzi kompilátorom a hardvérom

A decorative network diagram in the top-left corner, consisting of a series of interconnected nodes (circles) and lines, forming a branching, tree-like structure. The nodes are of varying sizes and are connected by thin lines, some solid and some dashed.

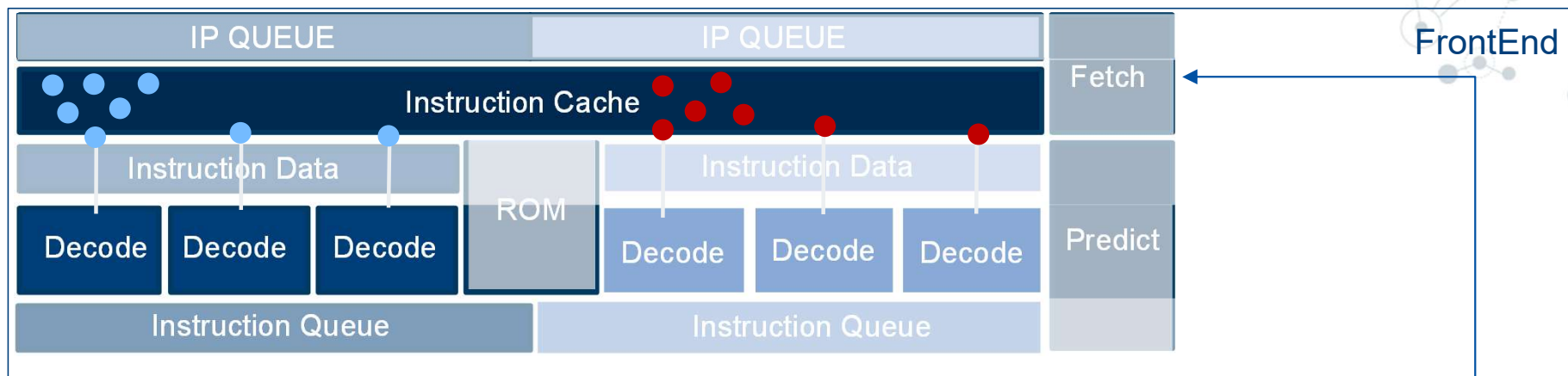
3.

Mikroarchitektúra procesorov Intel®

Architektonický pohľad: základná CPU pipeline



Architektúra inštrukčnej sady (ISA)



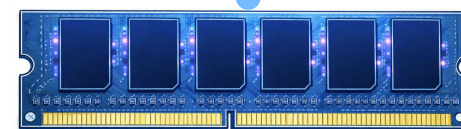
Obr.6 Fetch fáza inštrukčného frontendu procesora

Program Counter (PC)

- › Obsahuje adresu ďalšej inštrukcie
- › Inkrementuje sa po každom cykle (pri vetvení sa prepisuje)

Fetch fáza:

- › PC -> požiadavka na adresu
- › Inštrukcia sa načíta z LI I-Cache
- › Ak inštrukcia nie je v cache -> načíta sa z operačnej pamäte



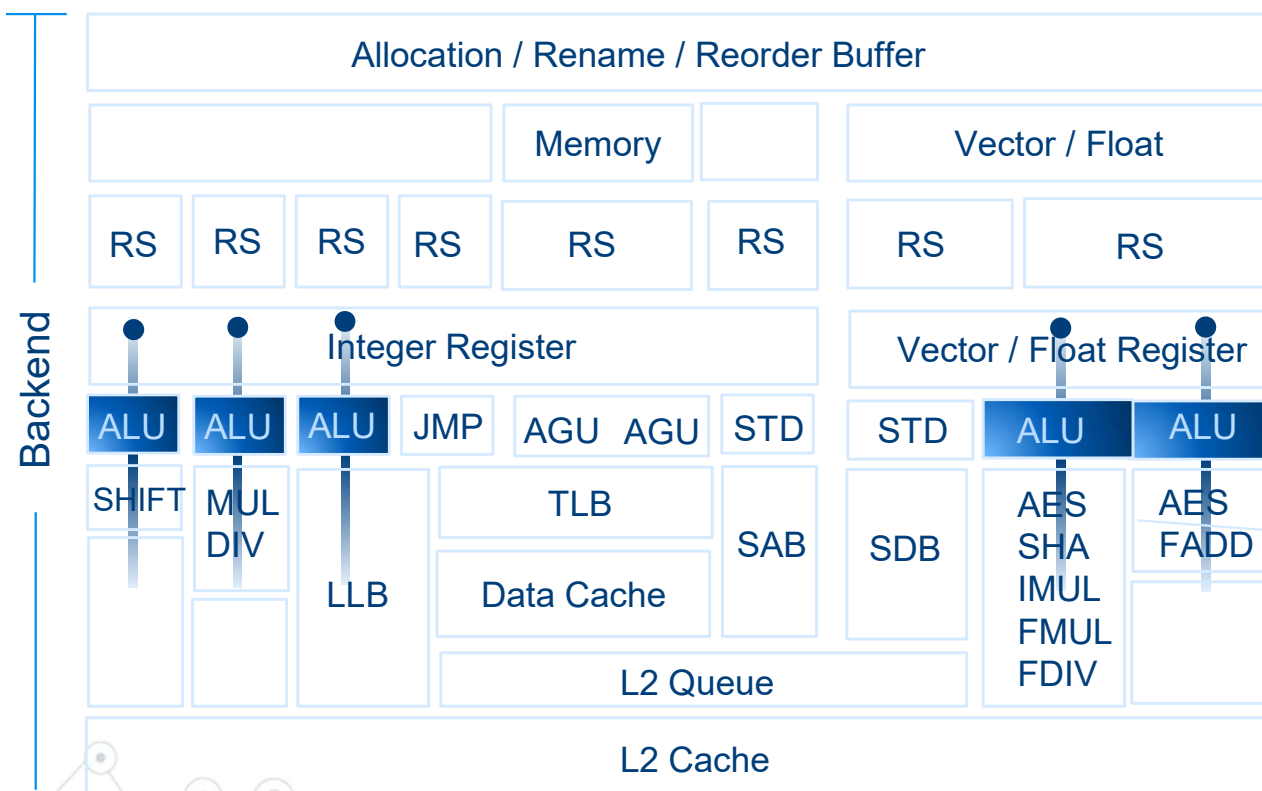
Obr.7 RAM

Legenda:

- ● Prenos dát z RAM (cache miss)
- ● Inštrukcie vo Front-End pipeline
- — Fetch request

* Zdroj: Intel Corporation, upravené autorom

Vykonávacie jadro procesora (Execution Engine)



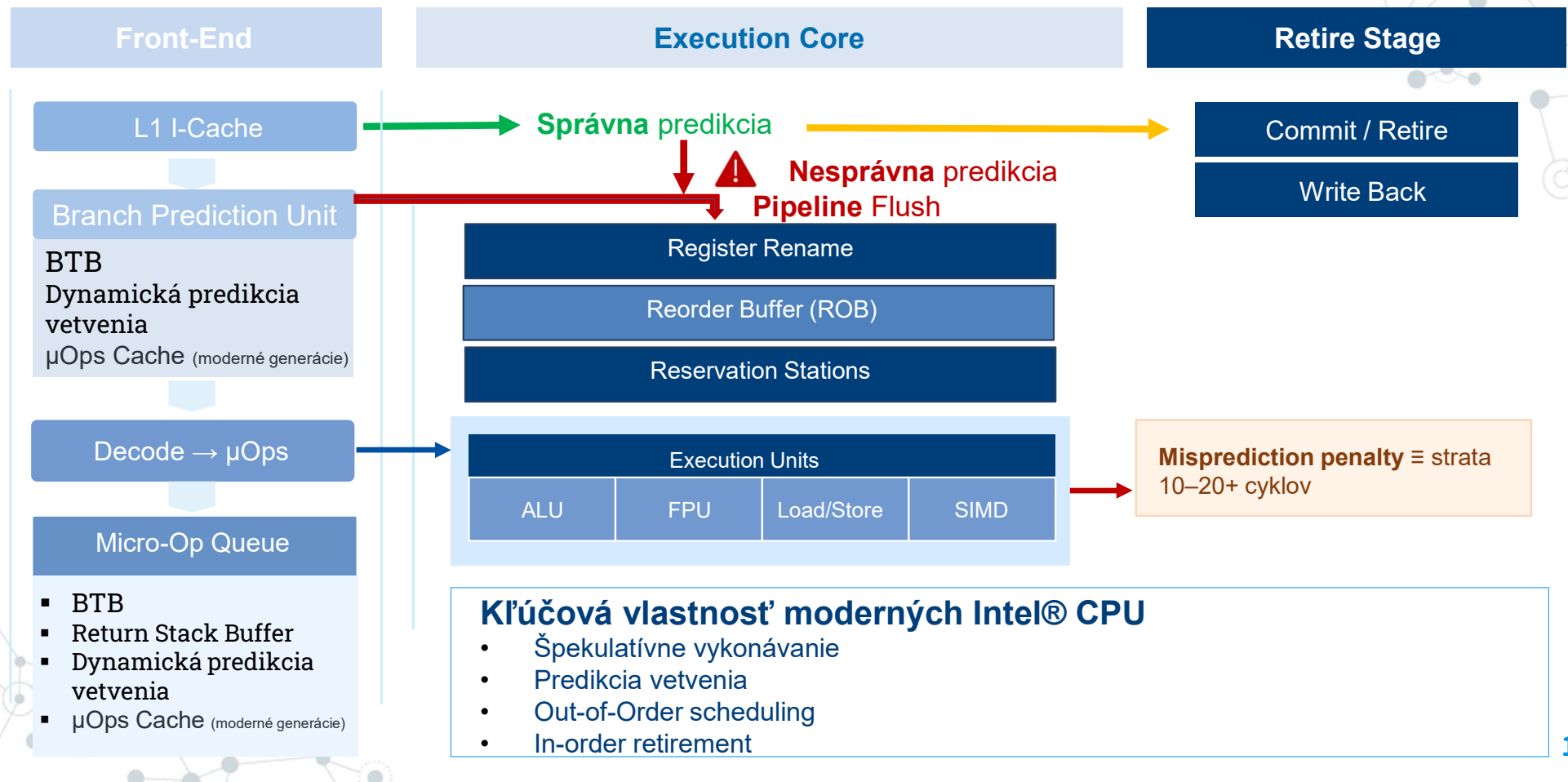
Paralelné spracovanie inštrukcií v modernom CPU

- Blokové usporiadanie vykonávacej časti moderného superskalárneho procesora
- Architektúra umožňuje **inštrukčný paralelizmus**
- Špecializované jednotky zabezpečujú spracovanie celočíselných, pamäťových a vektorových operácií v paralelných vykonávacích vetvách
- Inštrukcie sú dynamicky plánované mechanizmami register renaming, reservation stations a reorder buffer (Out-of-Order Execution)

Obr.8 Paralelné spracovanie inštrukcií

* Zdroj: Intel Corporation, upravené autorom

Moderná Intel mikroarchitektúra špekulatívna a Out-of-Order pipeline



Spracovanie inštrukcie v modernom x86 CPU (ISA)

1 Fetch

- Načítanie inštrukcie z L1 Instruction Cache
- Branch Predictor odhaduje ďalšiu adresu

2 Decode

- X86 inštrukcie sú dekódované do mikro-operácií (μ ops)

3 Register Renaming

- Logické registre $\rightarrow$ fyzické registre
- Eliminácia WAR a WAW hazardov

4 Dispatch / Issue

- μ ops sú zaradené do fronty vykonania

5 Execute

- ALU (aritmetika)
- FPU / Vector Units (AVX, SSE)
- Load / Store jednotky

6

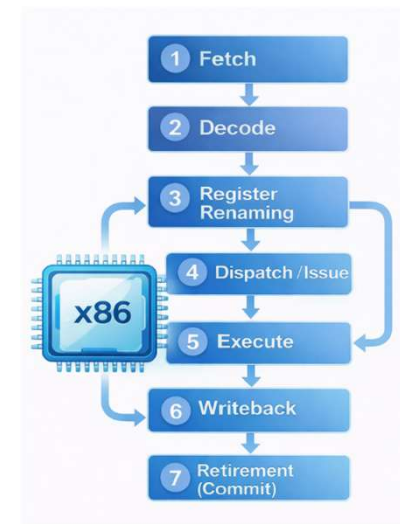
Writeback

- Výsledky sa zapisujú do fyzických registrov

7

Retirement (Commit)

- Zachovanie programovej konzistencie



Obr. 9 Tok spracovanie inštrukcie, Obrázok generovaný pomocou AI (ChatGPT), vlastné spracovanie. 18

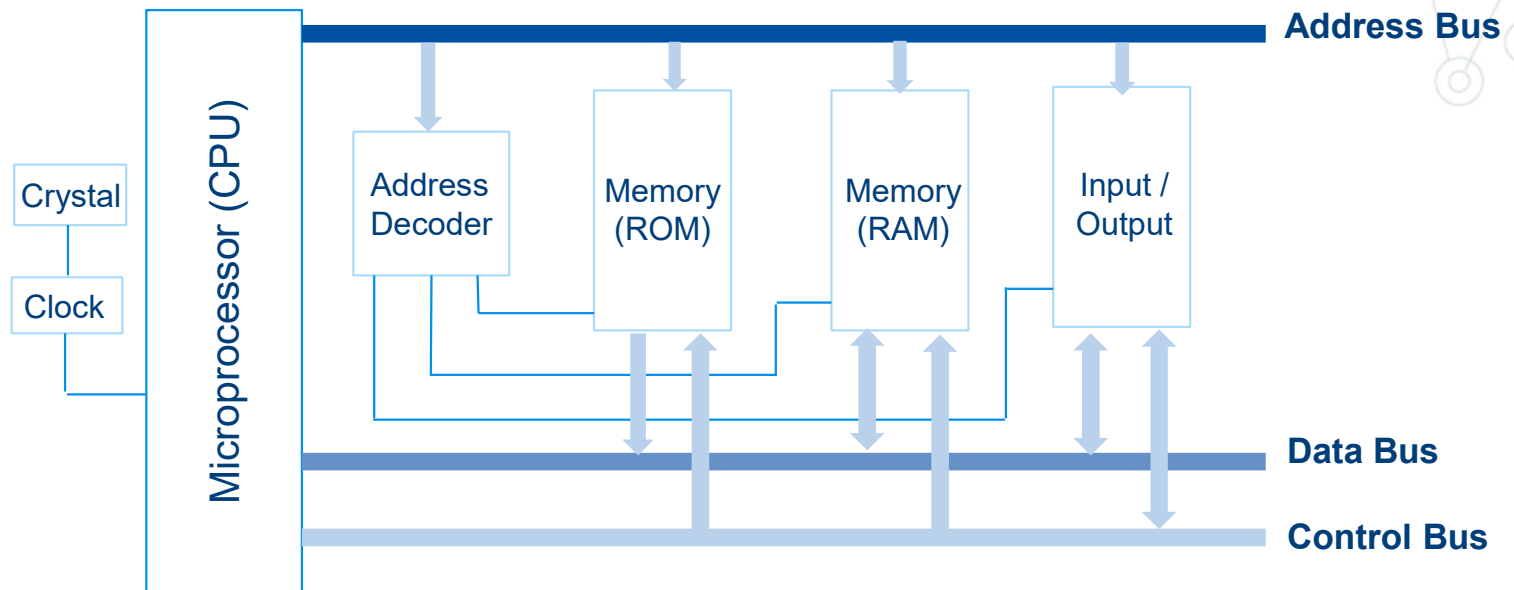
A decorative network diagram in the top-left corner, featuring a complex web of interconnected nodes and lines, with some nodes highlighted in blue.

4.

Zbernice mikropcesora

Architektúra komunikácie CPU – systémové zbernice

The Data Bus
› Prenáša dáta medzi CPU, pamäťou a zariadeniami
› Obojsmerná komunikácia
The Address Bus
› Určuje adresu pamäťovej bunky alebo zariadenia
› Jednosmerná komunikácia (z CPU)
The Control Bus
› Prenáša riadiace signály procesora
› Určuje typ operácie (čítanie / zápis)
› Synchronizuje komunikáciu medzi komponentmi



Architektúra komunikácie CPU – systémové zbernice

The Control Bus



RD

WR

IRQ

RESET

RDY

The Address Bus



A0 – A(n)

M / IO

CS / CE

ALE

The Data Bus



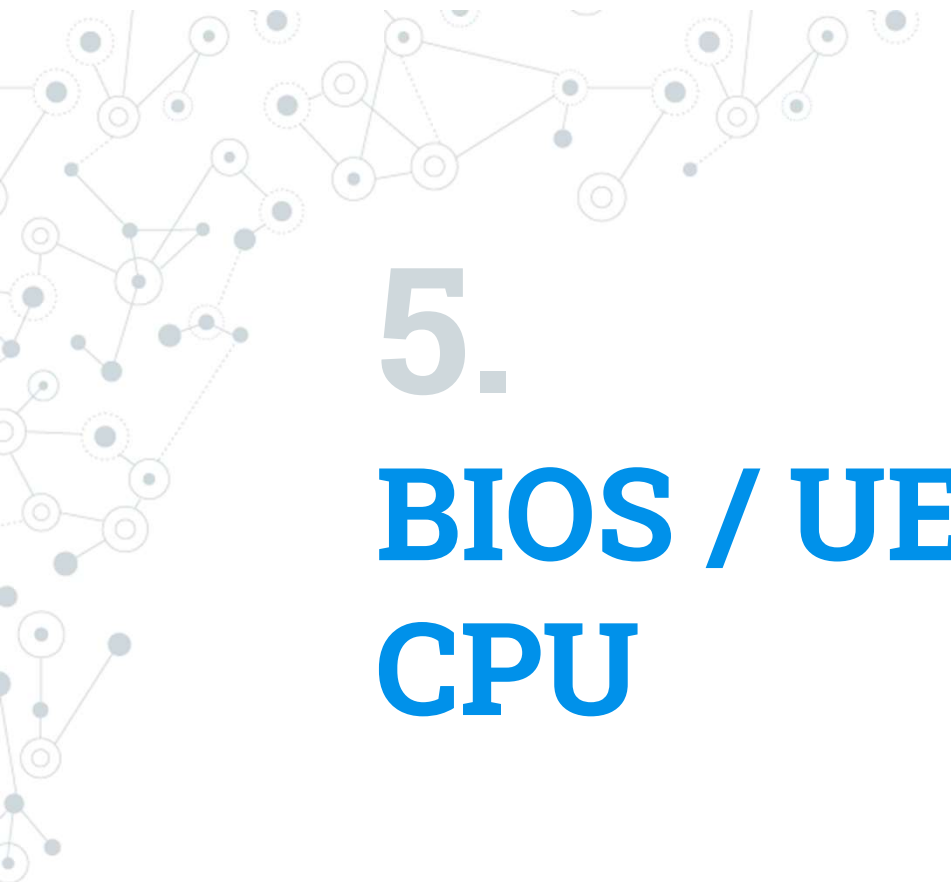
D0 – D(n)

CPU $\leftrightarrow$ RAM $\leftrightarrow$ I/O

Hi-Z



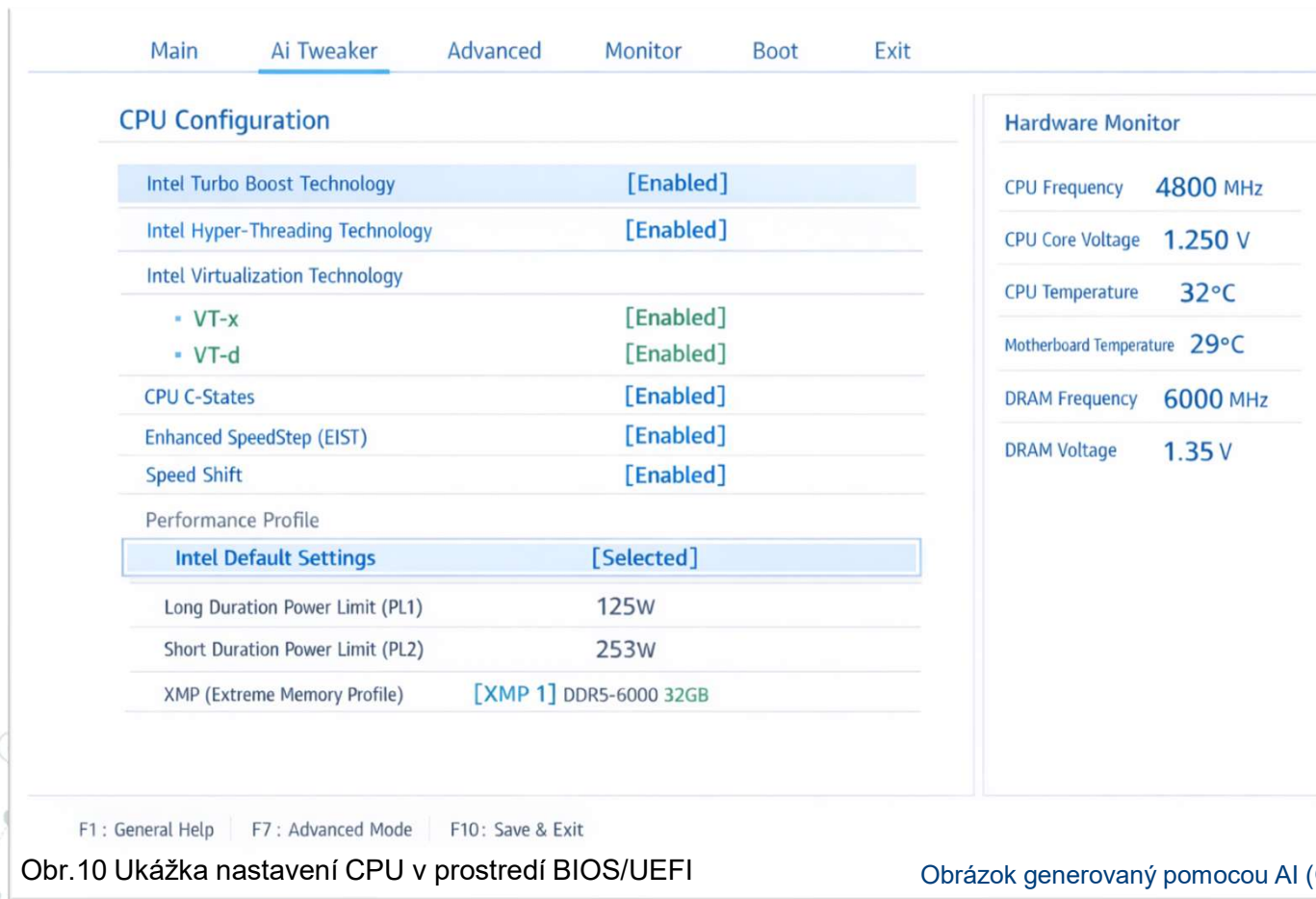
8/16/32/64 bit

A decorative graphic in the top-left corner consisting of a network of interconnected nodes and lines, resembling a molecular or digital structure.

5.

BIOS / UEFI nastavenia CPU

BIOS/UEFI nastavenia



The screenshot displays the BIOS/UEFI interface with the 'Ai Tweaker' tab selected. The 'CPU Configuration' section on the left lists various settings, most of which are enabled. The 'Performance Profile' section shows 'Intel Default Settings' as the selected profile. The 'Hardware Monitor' section on the right provides real-time system data.

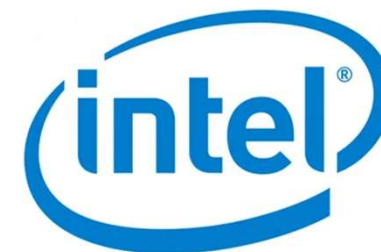
CPU Configuration	
Intel Turbo Boost Technology	[Enabled]
Intel Hyper-Threading Technology	[Enabled]
Intel Virtualization Technology	
▪ VT-x	[Enabled]
▪ VT-d	[Enabled]
CPU C-States	[Enabled]
Enhanced SpeedStep (EIST)	[Enabled]
Speed Shift	[Enabled]
Performance Profile	
Intel Default Settings	[Selected]
Long Duration Power Limit (PL1)	125W
Short Duration Power Limit (PL2)	253W
XMP (Extreme Memory Profile)	[XMP 1] DDR5-6000 32GB

Hardware Monitor	
CPU Frequency	4800 MHz
CPU Core Voltage	1.250 V
CPU Temperature	32°C
Motherboard Temperature	29°C
DRAM Frequency	6000 MHz
DRAM Voltage	1.35 V

Navigation: F1: General Help | F7: Advanced Mode | F10: Save & Exit

Obr.10 Ukážka nastavení CPU v prostředí BIOS/UEFI

Obrázok generovaný pomocou AI (ChatGPT), vlastné spracovanie.



A decorative network diagram in the top-left corner, featuring a complex web of interconnected nodes and lines, with some nodes highlighted in blue and others in grey.

6. **Diagnostické nástroje**

Diagnosticke nástroje a software od Intel®

Intel® Processor Diagnostic Tool



Nástroj na testovanie a overenie funkčnosti procesora – kontroluje ID, frekvenciu, funkčné jadrá, pokročilé CPU vlastnosti a vykoná stress test.

Intel® VTune™ Profiler



Výkonný nástroj na profilovanie výkonu aplikácií na CPU aj GPU. Pomáha nájsť výkonové úzke miesta, napr. paralelizáciu, I/O, pamäťové obmedzenia.

Intel® Advisor



Analytický nástroj pre optimalizáciu vektorovania, paralelizácie a threadingu v kóde. Umožňuje Roofline analýzu a modelovanie možného zrýchlenia.

Intel® oneAPI Toolkits



Súbor nástrojov pre vývoj, analýzu, ladenie a optimalizáciu aplikácií naprieč CPU, GPU a akcelerátormi. Obsahuje kompilátory, profily, knižnice a výkonové analyzátory.

Kľúčové výhody nástrojov

- › Testovanie stability a funkčnosti CPU
- › Návrh a optimalizácia výkonu aplikácií
- › Profilovanie zdrojov (pamäť, CPU, paralelizmus)
- › Prehľad o výkonových úzkych miestach

Intel® Graphics Performance Analyzers



Nástroj na identifikáciu problémov s grafikou a výkonovým spracovaním v hrách a grafických aplikáciách.

Obrázky generované pomocou AI (ChatGPT), vlastné spracovanie.

HWiNFO®

HWiNFO® 64 v8.44-5935 @ LENOVO IdeaPad Slim 5 16IRH10 - System Summary

CPU

Intel Core i7-13620H Intel 7

Stepping J0 TDP 45 W

Codename Raptor Lake-H 6+4 MCU 5105

SSPEC SRMJ0 Prod. Unit

CPU #0 Platform BGA1744

P-core 6 / 12 Cache L1 6x32 + 6x48 L2 6x1.25M L3 24M

E-core 4 / 4 4x64 + 4x32 2M

Features

MMX	3DNow!	3DNow!-2	SSE	SSE-2	SSE-3	SSSE-3
SSE4A	SSE4.1	SSE4.2	AVX	AVX2	AVX-512	AVX10
BM12	ABM	TBM	FMA	ADX	XOP	AMX
DEP	VMX	SMX	SMEP	SMAP	TSX	MPX
EM64T	EIST	TM1	TM2	HTT	Turbo	SST
AES-NI	RDRAND	RDSEED	SHA	SGX	TME	APX

Operating Point

	Clock	Ratio	Bus	VID
MFM (LPM)	400.0 MHz	x4.00	100.0 MHz	-
LFM (Min)	400.0 MHz	x4.00	100.0 MHz	-
Base Clock (HFM)	2900.0 MHz	x29.00	100.0 MHz	-
Turbo Max	4900.0 MHz	x49.00	100.0 MHz	-
Avg. Active Clock	4060.1 MHz	x40.70	99.8 MHz	1.2472 V
Avg. Effective Clock	155.6 MHz	x1.56	-	-
Ring/LLC Max	4300.0 MHz	x43.00	100.0 MHz	-
Ring/LLC Clock	4090.0 MHz	x41.00	99.8 MHz	1.1335 V

Motherboard

LENOVO LNVNB161216

Chipset Intel Alder Lake-P PCH

BIOS Date 09/18/2025 Version Q5CN24WW UEFI

Memory

Size 32 GB Type DDR5 SDRAM

Clock 2793.2 MHz = 28.00 x 99.8 MHz

Mode Quad-Channel CR 2T

Timing 46 - 45 - 45 - 89 tRC 134 tRFC 447

Memory Modules

#0 [BANK 0/Controller0-ChannelA-DIMM0]: Micron MTC8C1084S1S

Size 16 GB Clock 2800 MHz ECC No

Type DDR5-5600 / PC5-44800 DDR5 SDRAM SO-DIMM

Clock	tCL	tRCD	tRP	tRAS	RC	Ext.	V
2800	46	45	45	90	135	-	1.10
2600	42	42	42	84	125	-	1.10
2400	40	39	39	77	116	-	1.10
2200	36	36	36	71	106	-	1.10
2000	32	32	32	64	96	-	1.10
1800	30	29	29	58	87	-	1.10
1600	26	26	26	52	77	-	1.10

GPU

Intel Raptor Lake-P - Integrated Graphics [Lenovo]

Intel UHD Graphics

Raptor Lake-P/U GT2

PCIe v2.0 x0 (5.0 GT/s) @ [DISABLED]

GPU #0 15.98 GB SDRAM 64-bit

Xe Cores 4 EUs / ALUs 64 / 512

Current Clocks (MHz)

GPU 300.0 Memory 2793.0 Shader -

Operating System UEFI Boot Secure Boot TPM HVCI

Microsoft Windows 11 Professional (x64) Build 26200.8117 (25H2)

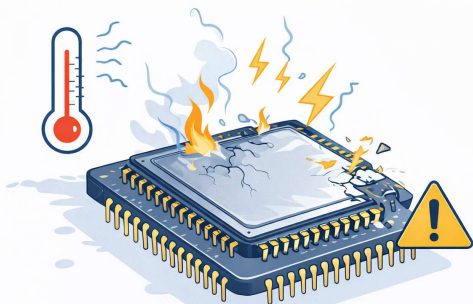
Drives

Interface	Model [Capacity]
NVMe x4 16.0 GT/s	SAMSUNG MZAL81T0HDLB-00BL2 [1.0 TB]

Poškodenia procesora a ich servis

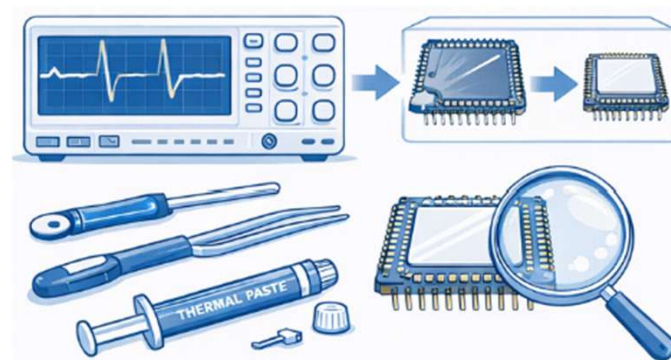
Časté príčiny poškodenia CPU

- › tepelný stres (prehriatie)
- › degradácia kremíka (dlhodobé vysoké napätie)
- › poškodenie pinov / socketu
- › BIOS nekompatibilita
- › mechanické poškodenie



Diagnostika a oprava CPU

- › testovanie funkcionality a stability
- › výmena poškodeného čipu
- › prepastovanie a čistenie
- › obnova kontaktov pinov
- › CPU-Z, HWMonitor, Cinebench



Obrázky generované pomocou AI (ChatGPT), vlastné spracovanie.

Bezpečnosť moderných CPU

Známe zraniteľnosti CPU



Spectre

- › Špekulatívne vykonávanie;
- › Únik dát cez side-channel útoky



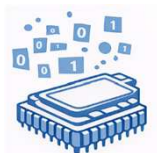
Meltdown

- › Porušenie izolácie pamäte;
- › Prístup k chránenej pamäti



L1TF

- › L1 Terminal Fault;
- › Útok cez zraniteľnosť L1 cache



Microarchitectural Data Sampling

- › Únik dát cez špeciálne CPU buffery

Ochrana a mitigácie

- › **Mikrokód procesora**
Aktualizácie menia správanie CPU
- › **Aktualizácie OS**
Kernel Page Table Isolation
- › **Hardvérové zmeny**
Úpravy v novších generáciách CPU

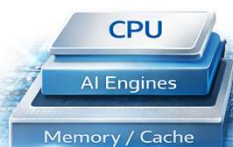
A decorative network diagram in the top-left corner, featuring a complex web of interconnected nodes and lines, with some nodes highlighted in blue and others in grey.

6.

Vývoj do budoucnosti

Budúcnosť technológií Intel® CPU

Nové generácie procesorov:



Intel® Core Ultra Series 3
postavené na **Intel 18A**
výrobnom procese

Zamerané na výkon,
úspornosť a podporu **on-
device AI**

Výrazný nárast výpočtovej kapacity pri nižšej spotrebe

Integrované AI (NPU / AI Engines):

AI akcelerácia priamo v CPU čipe
Rýchlejšie generatívne modely bez nutnosti
vyššieho výkonu cloudu



Výrobný proces:
Intel 20A a 18A: pokročilá
node technológia

Zvyšuje výkon a efektivitu cez
vyššiu hustotu tranzistorov



Architektúra pre budúce IT

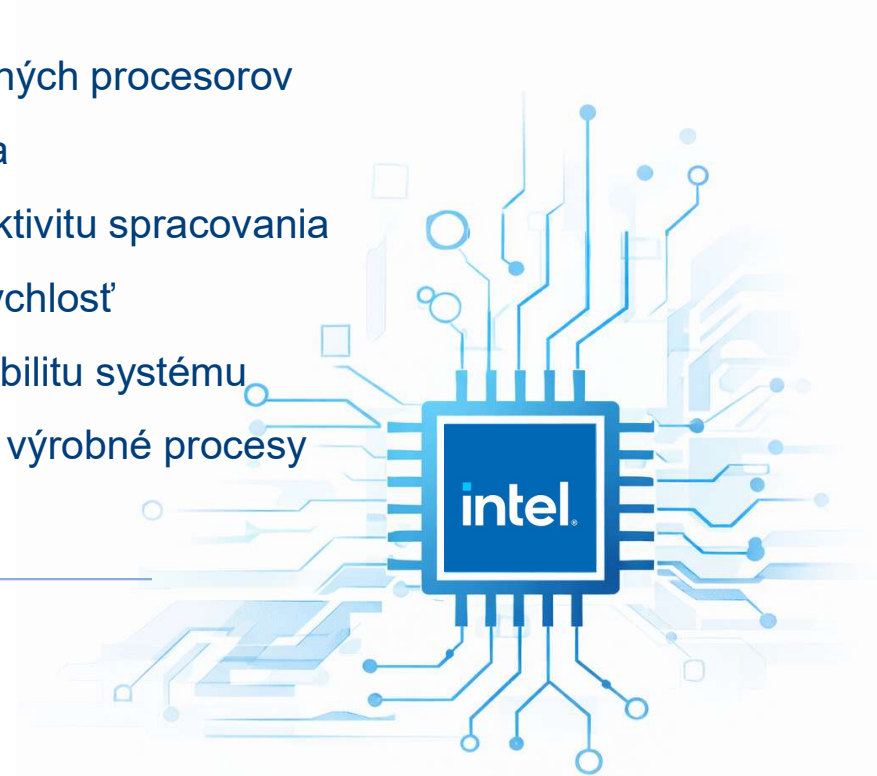
Heterogénne jadrá
Optimalizované pre cloud, dátové centrá
Rozšírená podpora pre **AI workload**, kde je
latencia kritická



Obrázky generované pomocou AI (ChatGPT), vlastné spracovanie.

Zhrnutie

- › **x86 architektúra** je základná architektúra moderných procesorov
- › **Mikroarchitektúra** určuje reálny výkon procesora
- › **Pipeline, OoO a predikcia vetvenia** zvyšujú efektivitu spracovania
- › **Cache a pamäťová hierarchia** sú kľúčové pre rýchlosť
- › **Správna konfigurácia BIOS/UEFI** podporuje stabilitu systému
- › **Trendy:** hybridné jadrá, AI akcelerácia, pokročilé výrobné procesy



Obrázok generovaný pomocou AI (ChatGPT), vlastné spracovanie.

A decorative network diagram in the top-left corner, featuring a complex web of interconnected nodes and lines, with some nodes highlighted in blue and others in grey.

Ďakujem za pozornosť

Ing. Zuzana Butašová

Zoznam použitej literatúry

- › INTEL. *The Future of IT*. [online]. Intel Corporation, [cit. 2026-03-06]. Dostupné na: <https://www.intel.com/content/www/us/en/learn/what-is-the-future-of-it.html>
- › INTEL. Intel Developer Tools Overview. [online]. Intel Corporation, [cit. 2026-03-06]. Dostupné na: <https://www.intel.com/content/www/us/en/developer/tools/overview.html>
- › WIKIPEDIA. Instruction set architecture. [online]. Wikimedia Foundation, [cit. 2026-03-06]. Dostupné na: https://en.wikipedia.org/wiki/Instruction_set_architecture
- › WIKIPEDIA. Superscalar processor. [online]. Wikimedia Foundation, [cit. 2026-03-06]. Dostupné na: https://en.wikipedia.org/wiki/Superscalar_processor
- › WIKIPEDIA. Instruction-level parallelism. [online]. Wikimedia Foundation, [cit. 2026-03-06]. Dostupné na: https://en.wikipedia.org/wiki/Instruction-level_parallelism
- › WIKIPEDIA. Out-of-order execution. [online]. Wikimedia Foundation, [cit. 2026-03-06]. Dostupné na: https://en.wikipedia.org/wiki/Out-of-order_execution
- › INTEL. Intel Architecture Explained [video]. YouTube, nahrané používateľom Intel, [cit. 2026-03-06]. Dostupné na: <https://youtu.be/vqPFzblBh7w>
- › VECTEEZY. Stock images and vector graphics. [online]. [cit. 2026-03-06]. Dostupné na: <https://www.vecteezy.com>
- › VISIONARY TECH. Buses in Microprocessor Systems Data, Address & Control Buss [online]. [cit. 2026-03-06]. Dostupné na: https://youtu.be/hzw18QfNbug?si=f1loelGOls0_XEez